

CAPITOLO QUINTO

FLIP FLOP

Generalità

I circuiti finora studiati sono detti combinatori in quanto ad ogni *combinazione* delle variabili di entrata corrisponde una ed una sola combinazione delle variabili di uscita.

I **circuiti sequenziali** sono reti digitali nelle quali lo stato di uscita in ogni istante è funzione, oltre che dello stato delle variabili di ingresso applicate in quell'istante, anche della *sequenza* dei valori che le entrate avevano assunto precedentemente.

I circuiti sequenziali hanno quindi **memoria** nel senso che i cambiamenti dello stato di uscita dipendono dalla «storia» precedente delle variabili di ingresso.

La differenza fondamentale tra reti combinatorie e reti sequenziali è che nelle prime l'uscita è indipendente dal tempo mentre nelle seconde dipende dal tempo. Pertanto, una rete sequenziale può presentare uscite diverse, in diversi istanti, pur essendo comandata dai medesimi ingressi.

In questo capitolo saranno esaminati alcuni circuiti sequenziali fondamentali noti con il nome di flip-flop, mentre nel successivo capitolo saranno analizzati i metodi generali per l'analisi e il progetto delle reti sequenziali. I flip-flop sono noti anche con il nome di *multivibratori bistabili* o di *celle di memoria ad 1 bit* poiché dispongono di una sola uscita che possiede due stati stabili (0 e 1) che restano memorizzati o bloccati (*latched*) finché non si modifica lo stato logico delle variabili di entrata.

I flip-flop possono operare in modo *asincrono* o *sincrono*.

Nelle reti asincrone il valore futuro dell'uscita dipende dallo stato logico delle variabili di entrata e dallo stato presente dell'uscita stessa.

Anche nelle reti sincrone lo stato futuro dipende da quello presente e dalle entrate ma i cambiamenti di stato sono possibili solo se è presente un segnale di abilitazione denominato *segnale di sincronismo* o *segnale di clock* che nel seguito si indicherà con CK.

A seconda di come agisce il segnale di clock le reti sincrone si classificano in:

- *reti sincrone comandate sui livelli* dette anche level triggered;
- *reti sincrone comandate sui fronti* dette anche edge triggered.

In fig.1 si mostra il simbolismo relativo al comando di clock nelle reti sequenziali sincrone.

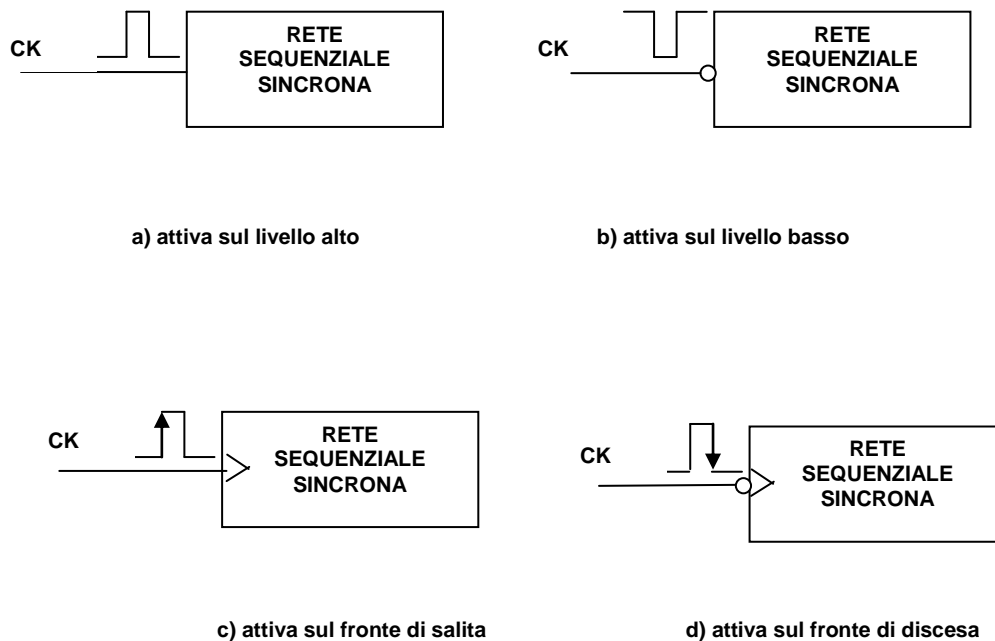


Fig. 1 Simbolismo relativo al comando di clock per le reti sequenziali sincrone.

Nelle reti sincrone attive sul livello alto si possono avere cambiamenti di stato durante tutto il tempo in cui il segnale di clock è al livello alto $CK = 1$. Ovviamente in quelle attive sul livello basso il segnale di sincronismo è attivo se $CK = 0$.

Nelle reti sincrone attive sul fronte di salita il cambiamento di stato della rete è sincrono con la transizione positiva (CK commuta da 0 a 1) del segnale di clock e non dipende dalla durata di tale impulso. Per contro, nelle reti sincrone attive sul fronte di discesa il cambiamento di stato è sincrono con la transizione negativa del segnale di clock (CK commuta da 1 a 0) e non dipende dalla durata di tale impulso.

Nella pratica si preferisce lavorare con reti sincrone, preferibilmente attive sui fronti, poiché risultano più affidabili e sicure nel funzionamento e, nella maggior parte dei casi, di più facile progettazione.

Lo studio dei flip-flop è fondamentale per la comprensione della maggior parte dei circuiti sequenziali come contatori, registri, memorie, microprocessori, ecc; così come la porta NAND è alla base dei dispositivi combinatori allo stesso modo i flip-flop si possono considerare i mattoni fondamentali dell'elettronica digitale sequenziale.

1. Flip flop Set-Reset asincrono. Latch SR

Il flip flop Set-Reset (FF-SR) o *latch SR* (derivato dal verbo «to latch» che significa «bloccare») è uno dei più semplici circuiti sequenziali asincroni in grado di memorizzare una informazione binaria a un bit. Esso consta di due ingressi S e R denominati, rispettivamente, *SET* (letteralmente «porre») e *RESET* (letteralmente «riporre») e di una uscita Q. In genere si dispone anche dell'uscita negata \bar{Q} . Il

circuito deve essere in grado di memorizzare lo stato logico 0, oppure lo stato logico 1 oppure di conservare lo stato logico precedentemente memorizzato.
In fig. 2 è mostrato il simbolo logico del FF-SR insieme alla tabella della verità.

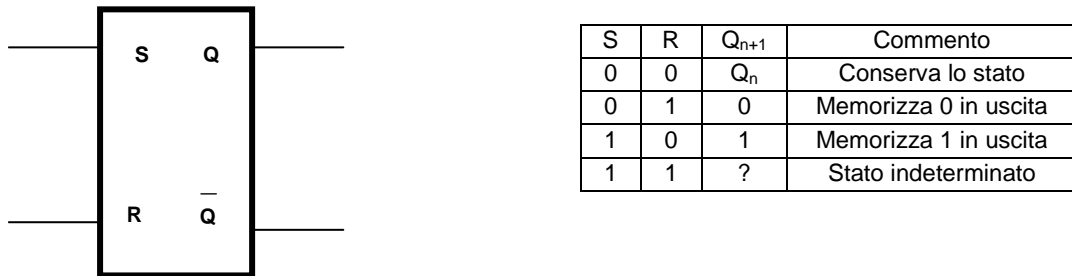


Fig. 2. - Simbolo logico e tabella della verità di un flip-flop Set-Reset.

La prima riga della tabella della verità indica che la combinazione di entrata $S = R = 0$ lascia inalterato lo stato logico della linea di uscita Q giacché con Q_n si è indicato lo *stato presente* dell'uscita e con Q_{n+1} lo *stato futuro* cioè che l'uscita assume dopo aver imposto i valori di entrata S e R . In altre parole, se il flip-flop si trova nello stato presente $Q_n = 0$ e si applica in entrata $S = R = 0$ l'uscita rimane nello stesso stato cioè: $Q_{n+1} = Q_n = 0$; analogamente se $Q = 1$ e $S = R = 0$ lo stato futuro coincide sempre con Q_n per cui: $Q_n = Q_{n+1} = 1$. In breve per $SR = 00$ si ha $Q_{n+1} = Q_n$.

Per questa combinazione di SR appare molto bene il comportamento da rete sequenziale del Flip-Flop nelle quale il valore futuro dell'uscita dipende oltre che dalle entrate anche dallo stato presente dell'uscita.

Ovviamente l'uscita \bar{Q} assume il valore complementare di Q e pertanto non è stata indicata nella tabella della verità.

La seconda riga ci informa che se $S = 0$ e $R = 1$ (operazione di Reset) l'uscita si porterà nello stato $Q_{n+1} = 0$ indipendentemente dal valore precedente 0 o 1 di Q_n . In tal modo si è memorizzato lo stato logico 0.

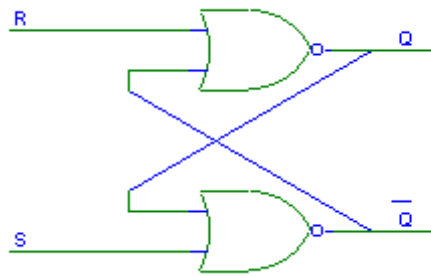
La terza riga indica che se $S = 1$ e $R = 0$ (operazione di Set) l'uscita si porterà nello stato $Q_{n+1} = 1$ sia se $Q_n = 0$ che se $Q_n = 1$. In tal modo si è memorizzato lo stato logico 1.

All'ultima combinazione $S = R = 1$ è stato associato il simbolo $Q_{n+1} = ?$ per indicare la presenza di uno stato indeterminato nell'uscita del flip-flop.

Infatti, in base alle ipotesi di funzionamento, portare S ed R al livello alto 1 equivale a voler forzare l'uscita contemporaneamente a 1 (operazione di set) e a 0 (operazione di reset); ciò, evidentemente, è una incongruenza logica. Tale combinazione va, quindi, evitata.

1.2. Latch a porte NOR

I Flip-Flop Set Reset si possono realizzare sia con porte NOR che NAND. In fig. 3 si mostra lo schema circuitale di un FF-SR realizzato con porte NOR insieme alla tabella della verità.



S	R	Q _n	Q _{n+1}	$\overline{Q_{n+1}}$
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	0
1	1	1	0	0

Fig. 3. - Flip-flop Set-Reset a porte NOR e relativa tabella della verità.

Analizziamo il comportamento del circuito per le diverse combinazioni di S e R facendo riferimento alla tabella della verità di fig.3 che esprime in maniera più esplicita di quella sintetica di fig.2 la dipendenza dell'uscita futura Q_{n+1} dagli ingressi S R e dall'uscita presente Q_n .

- 1) Se $S = R = 0$ lo stato di uscita delle porte NOR dipende dai valori delle uscite stesse. Supponiamo che lo stato iniziale sia $Q_n = 0$ e valutiamo quello futuro Q_{n+1} . Dal circuito si ricava che l'uscita del NOR2 vale:

$$\overline{Q_{n+1}} = \overline{S + Q_n} = \overline{0 + 0} = 1$$

Tale valore è riportato in ingresso al NOR1, per cui:

$$Q_{n+1} = \overline{R + \overline{Q_n}} = \overline{0 + 1} = 0$$

Analogamente se fosse stato $Q_n = 1$:

$$\overline{Q_{n+1}} = \overline{S + Q_n} = \overline{0 + 1} = 0$$

$$Q_{n+1} = \overline{R + \overline{Q_n}} = \overline{0 + 0} = 1$$

In definitiva si sono verificate le prime due righe della tabella di fig.3 che corrispondono sinteticamente alla prima riga della tabella di fig.2. L'analisi svolta mostra che per $S = R = 0$ lo stato di uscita si conserva ma non è a priori determinato quale esso sia. Infatti nell'istante in cui si fornisce alimentazione al circuito sia Q che \overline{Q} sono inizialmente nello stato basso per cui entrambe le uscite dei NOR tendono a 1. A causa dei ritardi di propagazione interni alle porte, però, l'uscita di uno dei due NOR va a 1 prima dell'altro NOR in modo casuale definendo così lo stato iniziale del sistema. Se, ad esempio, $\overline{Q} = 1$ prima di Q l'uscita del NOR1 è forzata nello stato basso; questo livello logico, riportandosi in ingresso al NOR2, conferma $\overline{Q} = 1$ e quindi $Q = 0$.

Vedremo nel seguito che è possibile imporre lo stato iniziale mediante opportuni ingressi ausiliari detti *ingressi di preassegnazione*.

- 2) Se $S = 0$ e $R = 1$ l'uscita del NOR1 è forzata nello stato basso poiché per qualunque valore di Q_n si ha:

$$Q_{n+1} = \overline{R + Q_n} = \overline{1} = 0$$

Tale stato è riportato in ingresso dal NOR2 la cui uscita diventa:

$$\overline{Q_{n+1}} = \overline{S + Q_n} = \overline{0 + 0} = 1$$

In definitiva si ha $Q_{n+1} = 0$ indipendentemente dallo stato iniziale. In tal modo si sono verificate la terza e quarta riga della tabella di fig.3. Osserviamo che se si riportano gli ingressi nello stato di riposo $S = R = 0$ il valore dell'uscita $Q = 0$ resta memorizzato nella latch.

- 3) Se $S = 1$ e $R = 0$ l'uscita del NOR2 è forzata nello stato basso poiché per qualunque valore di Q_n si ha:

$$\overline{Q_{n+1}} = \overline{S + Q_n} = \overline{1} = 0$$

Tale valore è riportato in ingresso al NOR1, per cui:

$$Q_{n+1} = \overline{R + \overline{Q_n}} = \overline{0 + 0} = 1$$

Si è quindi dimostrato che per $S = 1$ e $R = 0$ risulta sempre $Q_{n+1} = 1$ come indicato nella quinta e sesta riga della tabella della verità. Se si riportano gli ingressi S ed R nello stato di riposo $S = R = 0$ il valore dell'uscita $Q = 1$ resta memorizzato.

- 4) Se $S = R = 1$ entrambe le uscite Q e \overline{Q} sono forzate allo stato logico 0 indipendentemente, da quello precedente. Le uscite non sono più una il complemento dell'altra. Inoltre, tale stato non è stabile poiché se si riportano gli ingressi nello stato di riposo $S=R=0$ non può essere memorizzato. Ciò deriva dal fatto che nella pratica non esiste né la simultaneità delle transizioni né il loro contemporaneo riconoscimento da parte dei circuiti logici (tempi di propagazione noti con una certa tolleranza, caratteristiche elettriche diverse sia nell'ambito di componenti della stessa famiglia logica che tra quelli di famiglie diverse, ecc.). Pertanto, si deve assumere non possibile la simultanea transizione di $SR = 11$ in $SR=00$.

Si possono avere due casi:

- S è riconosciuto basso prima di R per cui in ingresso si ha, anche se per un breve istante, $SR = 01$ che rappresenta la condizione di RESET e quindi $Q = 0$ e $\overline{Q} = 1$.
- R è riconosciuto basso prima di S per cui si ha la configurazione transitoria: $SR = 10$ che rappresenta la condizione di SET che pone $Q = 1$ e $\overline{Q} = 0$.

Per concludere si può asserire che la combinazione $SR = 11$ deve essere evitata poiché non è possibile determinare con certezza lo stato logico dell'uscita quando le entrate tornano nello stato di riposo $SR = 00$.

1.1 TABELLA DELLE TRANSIZIONI, DIAGRAMMA DEGLI STATI E TABELLA DELLE ECCITAZIONI

TABELLA DELLE TRANSIZIONI

Dalla tabella della verità del FF-SR si può costruire una mappa di Karnaugh denominata *tabella delle transizioni* nella quale sulle colonne si scrivono le diverse combinazioni delle variabili di entrata S e R e sulle righe le diverse combinazioni relative allo stato presente Q_n . In ciascuna casella si scrive il valore dello stato futuro Q_{n+1} .

Si ottiene la tabella di fig.4.

		SR			
		00	11	11	10
Q _n	0	0	0	-	1
	1	1	0	-	1

Fig. 4. - Tabella delle transizioni di un flip-flop SR.

Dalla tabella delle transizioni si perviene *all'equazione caratteristica* del flip-flop che esprime l'uscita futura Q_{n+1} come funzione di S, R e Q_n .

Si ottiene, dopo la minimizzazione:

$$Q_{n+1} = S\bar{R} + \bar{R}Q_n$$

Allo stesso risultato si perviene anche analizzando direttamente lo schema di fig.3. Infatti:

$$Q_{n+1} = \overline{\overline{R + S + Q_n}} = \bar{R}(S + Q_n) = S\bar{R} + \bar{R}Q_n$$

DIAGRAMMA DEGLI STATI

Il funzionamento complessivo della latch Set-Reset si può sintetizzare mediante il *diagramma degli stati*, mostrato in fig. 5.

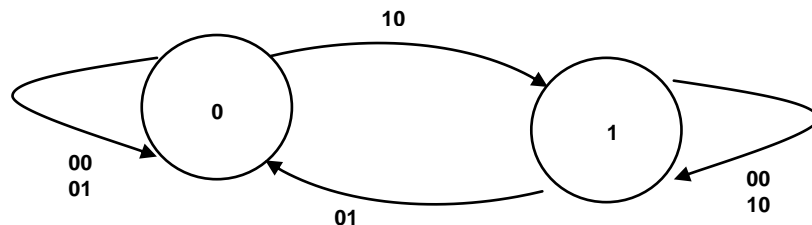


Fig. 5. - Diagramma degli stati di un flip-flop SR.

Nei cerchietti sono posti i valori che può assumere l'uscita Q e cioè 0 oppure 1. Da ogni cerchietto partono degli archi orientati vicino ai quali è scritto il valore che devono assumere le entrate SR per produrre la transizione desiderata.

TABELLA DELLE ECCITAZIONI

Dal diagramma degli stati o dalla tabella della verità, si perviene alla stesura della *tabella delle eccitazioni* (fig. 6), in cui sono riportate da un lato le combinazioni dello stato presente Q_n e di quello futuro Q_{n+1} e dall'altro i valori che devono assumere le variabili di eccitazione SR per produrre tali transizioni.

Q_n	Q_{n+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Fig.6 Tabella delle eccitazioni di un flip-flop SR.

La prima riga della tabella delle eccitazioni indica che dallo stato $Q_n = 0$ si resta in $Q_{n+1} = 0$ ponendo: $S = R = 0$ (stato di riposo) oppure: $S = 0$ e $R = 1$ (operazione di reset); in definitiva deve essere $S = 0$ *indipendentemente* dallo stato di R ($R = X$, non importa).

La seconda riga ci informa che dallo stato presente $Q_n = 0$ si passa nello stato futuro $Q_{n+1} = 1$ ponendo: $SR = 10$ (operazione di set).

La terza riga indica che il passaggio da 1 a 0 si ottiene con l'operazione di reset: $SR = 01$

La quarta riga, infine, mostra che per rimanere nello stato $Q = 1$ si può porre: $SR = 00$ (che lascia inalterato il valore d'uscita) oppure: $SR = 10$ (operazione di set); in definitiva deve essere $R = 0$ *indipendentemente* dal valore di S ($S = X$, non importa).

***INSERIMENTO PAGINA 221 DOPO FIG.10**

Nel caso di circuiti con interruttore gli impulsi spuri si possono eliminare ponendo in ingresso una rete RC collegata come filtro passa-basso. Inoltre, per migliorare le prestazioni del circuito è consigliabile usare una porta a trigger di Schmitt come mostrato in fig.11.

Fig.11 Circuito antirimbalo.

In condizioni di riposo, con interruttore aperto, il condensatore è carico alla tensione di alimentazione $+V_{cc}$ che rappresenta, per l'entrata del trigger di Schmitt, un livello alto; l'uscita risulta: $Y = 0$.

Nell'istante di chiusura dell'interruttore il condensatore si scarica rapidamente nell'interruttore stesso che è assimilabile ad un cortocircuito. Il livello di entrata è quello basso e l'uscita si porta al valore $Y = 1$. Un rimbalzo meccanico dell'interruttore produce una apertura del contatto di durata molto breve e sicuramente non sufficiente per una ricarica il condensatore ad una tensione superiore alla soglia di commutazione V_{TH} del livello alto. Si tenga conto che il condensatore per caricarsi ad una tensione di circa il 63% di V_{cc} richiede un tempo $\tau = RC$ (costante di tempo del circuito). L'uscita resta, pertanto, nello stato $Y = 1$.

Ovviamente, l'analisi svolta presuppone un ottimale dimensionamento dei componenti.

A titolo di esempio se si usa un NOT a trigger di Schmitt della famiglia CMOS come il 74C14 si può porre $R = 1M\Omega$ e $C = 100nF$ con costante di tempo $\tau = RC = 100$ ms.

- **INSERIMENTO PAGINA 227 DOPO FIG.23.**

Molte volte può essere necessario che lo stato iniziale dell'uscita Q della rete sequenziale sia noto fin dall'istante in cui si fornisce alimentazione al sistema. Se si desidera, ad esempio, $Q = 0$ si può utilizzare il circuito riportato in fig.24 noto come *circuito di reset all'accensione*. Nel caso si desidera $Q = 1$ si deve agire con le stesse modalità sull'ingresso di preset PR.

Fig. 24 Circuito per il reset all'accensione di un flip-flop SR.

Nell'istante in cui si fornisce alimentazione il condensatore non può caricarsi istantaneamente ma la tensione ai suoi capi tende al valore $+V_{cc}$ con legge esponenziale. Il condensatore completa la sua fase di carica, raggiungendo circa il 98% di V_{cc} , in un tempo, detto tempo di assestamento t_a , pari a: $t_a \cong 4RC$.

Finché la tensione ai capi del condensatore è al di sotto della soglia di commutazione V_T dell'ingresso di clear lo stato logico di tale linea è equivalente all'applicazione di un livello basso: $CL = 0$. Ciò equivale ad un reset del circuito per cui $Q = 0$. In altre parole è come se la rete RC avesse generato, nell'istante di accensione, un impulso basso che produce un azzeramento dell'uscita.

La durata di tale impulso dipende dalla soglia di commutazione tipica della famiglia logica della rete sequenziale. In prima approssimazione si può ritenere la durata dell'impulso di reset compresa tra $\frac{RC}{2}$ e RC . Tipici valori sono: $R = 1K\Omega$; $C = 10\mu F$.

- **INSERIMENTO PAGINA 235 DOPO FIG.40.**

Esempio 1

Il circuito di fig.41 è comandato da un treno di impulsi di frequenza $f_{ck} = 5 \text{ KHz}$ e duty-cycle $D = 0.2$ ($D\% = 20 \%$). Dopo aver disegnato le forme d'onda di CK e Q determinare la frequenza f_Q e il duty-cycle D_Q del segnale di uscita.

Fig. 41 Flip-flop di tipo T comandato da un treno di impulsi.

Risoluzione

Il circuito proposto si comporta da flip-flop di tipo T attivo sui fronti di salita del clock. Essendo $J = K = 1$, l'uscita cambia stato ad ogni impulso di CK.

Il segnale di sincronismo è caratterizzato da un periodo T_{ck} e da una durata del livello alto T_H pari a:

$$T_{ck} = \frac{1}{f_{ck}} = \frac{1}{5 \cdot 10^3} = 200 \mu\text{s} \qquad T_H = D \cdot T_{ck} = 40 \mu\text{s}$$

Le forme d'onda di CK e q sono riportate nella seguente fig.42

Fig. 42 Tempificazione dei segnali CK e Q.

L'analisi temporale mostra che il segnale di uscita ha:

Periodo $T = 2 \cdot T_{ck} = 400 \mu\text{s}$

Frequenza $f = \frac{1}{T} = 2.5 \text{ KHz}$

Duty-cycle $D = \frac{T_{ck}}{T} = \frac{T_{ck}}{2T_{ck}} = 0.5$

I risultati ottenuti dimostrano che il circuito fornisce in uscita un segnale con frequenza metà rispetto a quello di entrata (divisore di frequenza per 2) e duty-cycle esattamente al 50% (onda quadra) indipendentemente dal duty-cycle della forma d'onda di ingresso. B

Esempio 2

Si vuole realizzare un circuito sequenziale sincrono attivo sul fronte di salita a due ingressi AB ed una uscita Q, utilizzando un FF di tipo D. L'uscita Q deve portarsi al livello alto $Q = 1$ se, nell'istante in cui è attivo il segnale di clock, $A = B$, mentre l'uscita si deve complementare se $A \neq B$. Si ripeta l'esercizio utilizzando un FF di tipo JK.

Risoluzione

In fig.43 si riporta la tabella della verità che sintetizza il comportamento della rete richiesta.

CK	A	B	Q_n	Q_{n+1}
↑	0	0	0	1
↑	0	0	1	1
↑	0	1	0	1
↑	0	1	1	0
↑	1	0	0	1
↑	1	0	1	0
↑	1	1	0	1
↑	1	1	1	1

Fig. 43 Tabella della verità per l'esempio 2.

Minimizzando e trasformando a tutti NAND si ricava:

$$Q_{n+1} = \overline{Q_n} + \overline{A} \cdot \overline{B} + A \cdot B = \overline{Q_n \cdot \overline{A} \cdot \overline{B} \cdot \overline{AB}} \quad (1)$$

L'equazione caratteristica di un FF di tipo D è:

$$Q_{n+1} = D$$

Confrontando le due precedenti relazioni si ricava:

$$D = \overline{Q_n \cdot \overline{A} \cdot \overline{B} \cdot \overline{AB}}$$

In fig. 44 si mostra lo schema risolutivo.

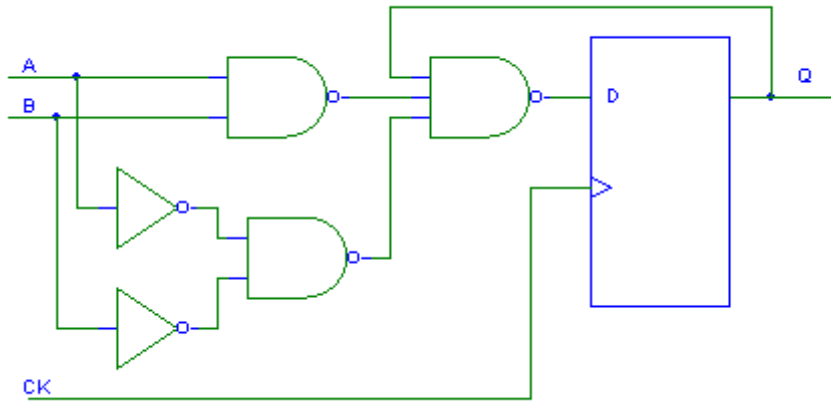


Fig. 45

Per un FF JK l'equazione caratteristica è:

$$Q_{n+1} = J \cdot \overline{Q_n} + \overline{K} \cdot Q_n \quad (2)$$

Moltiplicando il secondo membro della (1) per $Q_n + \overline{Q_n}$ si ottiene:

$$Q_{n+1} = (\overline{Q_n} + \overline{A} \cdot \overline{B} + A \cdot B) \cdot (Q_n + \overline{Q_n}) = \overline{Q_n} + Q_n \cdot (\overline{A} \cdot \overline{B} + A \cdot B) = \overline{Q_n} + (\overline{A \oplus B}) \cdot Q_n$$

Confrontando la precedente relazione con la (2) si ottiene:

$$J = 1; \quad K = A \oplus B$$

In fig.46 si mostra la soluzione con FFJK e il diagramma degli stati valido anche nel caso di FFD. Il diagramma degli stati mostra molto bene come dalla stato $Q = 0$ si passa nello stato $Q = 1$ per qualunque combinazione di AB. Dallo stato $Q = 1$ si passa in $Q = 0$ solo se A è diverso da B altrimenti si resta in $Q = 1$.

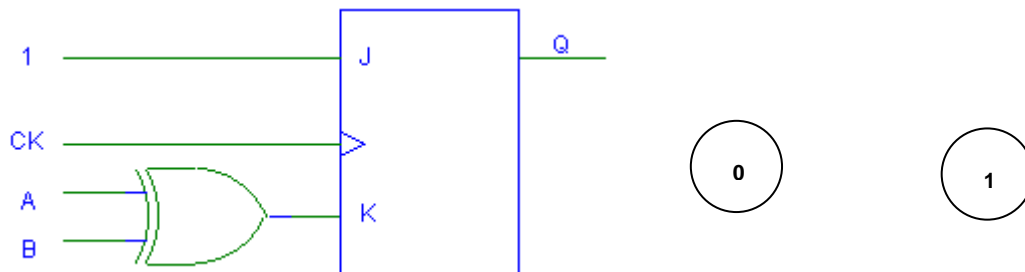


Fig. 46 Circuito risolutivo dell'esempio 2 con FFJK e relativo diagramma degli stati.

Esempio 3

Si vuole progettare la rete di controllo di un ascensore a quattro piani: Piano terra (P_0), primo piano (P_1), secondo piano (P_2) terzo piano (P_3).

Le variabili di input del sistema sono:

- ◆ quattro pulsanti P_0, P_1, P_2, P_3 inseriti nella cabina per la selezione del piano;
- ◆ quattro fine corsa F_0, F_1, F_2, F_3 posti su ogni piano per individuarne il raggiungimento.

Nello stato di riposo il livello logico associato ai pulsanti e ai fine corsa è quello basso 0. Quando attivati essi generano un impulso alto 1 di breve durata.

Le variabili di output sono:

- ◆ due segnali logici S ed D per individuare il comando per la salita (S) o per la discesa (D) del motore dell'ascensore. In particolare per:
per $SD = 00$ il motore è fermo;
per $SD = 10$ è in salita,
per $SD = 01$ è in discesa.
- ◆ un segnale Y che comanda la chiusura e l'apertura della porta. Se l'ascensore è fermo la porta deve essere aperta ($Y = 0$) mentre se in movimento chiusa ($Y = 1$).

Supponiamo, per semplicità, di non considerare la pulsantiera esterna per la chiamata.

Risoluzione

In fig. 47 si mostra un possibile schema blocchi per la soluzione del problema.



Fig. 47 Schema a blocchi del sistema per il controllo di un ascensore a quattro piani.

I blocchi di memorizzazione sono, da un punto di vista circuitale, analoghi in quanto svolgono la stessa funzione logica che è quella di memorizzare il codice binario relativo al pulsante o al fine corsa attivato. Ogni blocco presenta due uscite e deve, pertanto, contenere almeno due elementi di memoria. Ad esempio, il blocco relativo alla pulsantiera deve operare nel seguente modo:

- se nessun pulsante è pigiato si deve avere $Q_4Q_3 = 00$;
- se si pigia il pulsante P_3 si deve avere: $Q_4Q_3 = 11$ per indicare la selezione del 3° piano;
- se si pigia il pulsante P_2 si deve avere: $Q_4Q_3 = 10$ per indicare la selezione del 2° piano;
- se si pigia il pulsante P_1 si deve avere: $Q_4Q_3 = 01$ per indicare la selezione del 1° piano;
- se si pigia il pulsante P_0 si deve avere: $Q_4Q_3 = 00$ per indicare la selezione del piano terra.

Si compila la tavola della verità, mostrata in fig. 48, del circuito di memorizzazione

P_3	P_2	P_1	P_0	Q_4	Q_3
0	0	0	0	Q_{40}	Q_{30}
0	0	0	↑	0	0
0	0	↑	0	0	1
0	↑	0	0	1	0
↑	0	0	0	1	1

Fig. 48. Tabella della verità del circuito di memorizzazione.

La prima riga della tabella indica che in assenza di comandi lo stato di memoria si conserva. Si è indicato con Q_0 lo stato presente e con Q quello futuro. Un impulso generato dal pulsante pigiato produce il codice binario relativo al pulsante stesso.

Si decide di utilizzare come elementi di memoria dei flip-flop Set-Reset asincroni. Tenendo conto della tabella delle transizioni del FFSR, la precedente tabella si può riscrivere come quella indicata in fig.49.

P_3	P_2	P_1	P_0	Q_4	Q_3	S_4	R_4	S_3	R_3
0	0	0	0	Q_{40}	Q_{30}	0	0	0	0
0	0	0	↑	0	0	0	↑	0	↑
0	0	↑	0	0	1	0	↑	↑	0
0	↑	0	0	1	0	↑	0	0	↑
↑	0	0	0	1	1	↑	0	↑	0

Fig. 49 Tabella della verità del circuito di memorizzazione completa dei comandi SR.

Ricordiamo che un FFSR si *setta* ($Q=1$) se $SR = 10$, mentre si *resetta* ($Q=0$) se $SR = 01$. La condizione $SR = 11$ non è ammessa. Pertanto, il FF con uscita Q_4 si setta se è presente un impulso o su P_3 o su P_2 ; per cui:

$$S_4 = P_3 + P_2$$

Mentre si *resetta* se è presente un impulso o su P_1 o su P_0 , per cui:

$$R_4 = P_1 + P_0$$

Analogamente per il FF con uscita Q_3 si ha:

$$S_3 = P_2 + P_1$$

$$R_3 = P_2 + P_0$$

Note le funzioni di eccitazione dei flip-flop si può disegnare lo schema risolutivo della rete di memorizzazione come riportato nella fig.50.

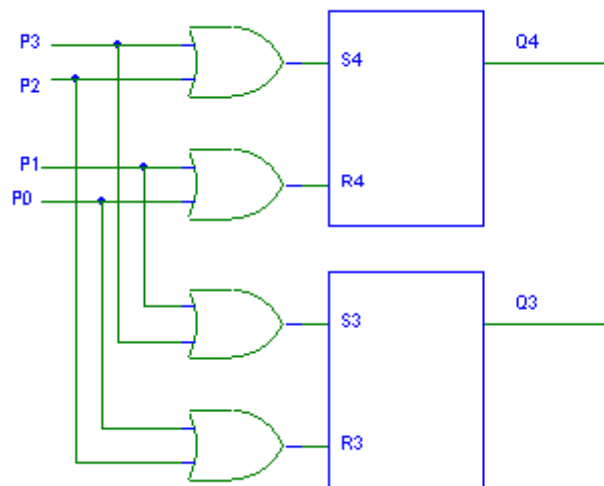


Fig. 50. Schema elettrico del blocco di memorizzazione.

La rete per il comando delle uscite è combinatoria a 4 entrate $Q_4Q_3Q_2Q_1$ e 3 uscite SDY.

Per quanto concerne il comando del motore (linee SD) la rete si comporta da comparatore. Infatti, si presentano i seguenti casi:

- 1) se $Q_4Q_3 = Q_2Q_1$ vuol dire che il codice del piano selezionato coincide con il codice dei fine corsa per cui si è raggiunto il piano desiderato. In queste condizioni deve essere $SD = 00$ (motore fermo) e $Y = 1$ (porta aperta);
- 2) se $Q_4Q_3 > Q_2Q_1$ vuol dire che il codice del piano selezionato con la pulsantiera è maggiore di quello del fine corsa. L'ascensore è ad un livello inferiore per cui deve

- essere attivato il comando per la salita: $SD = 10$. L'ascensore è in movimento e la porta deve essere chiusa : $Y = 0$;
- 3) se $Q_4Q_3 < Q_2Q_1$ vuol dire che il codice del piano selezionato con la pulsantiera è minore di quello dei fine corsa. L'ascensore è ad un livello superiore per cui deve essere attivato il comando per la discesa: $SD = 01$. L'ascensore è in movimento e la porta deve essere chiusa: $Y = 0$.

In fig. 51 si riporta la tabella della verità relativa al circuito di uscita.

Q_4	Q_3	Q_2	Q_1	S	D	Y
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

Fig. 51 Tabella della verità del circuito di uscita.

Minimizzando si ottiene:

$$S = Q_4 \overline{Q_2} + Q_3 \cdot \overline{Q_2} \cdot \overline{Q_1} + Q_4 \cdot Q_3 \cdot \overline{Q_1}$$

$$D = \overline{Q_4} \cdot Q_2 + \overline{Q_4} \cdot \overline{Q_3} \cdot Q_1 + \overline{Q_3} \cdot Q_2 \cdot Q_1$$

$$Y = \overline{Q_4} \cdot \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} + \overline{Q_4} \cdot Q_3 \cdot \overline{Q_2} \cdot Q_1 + Q_4 \cdot Q_3 \cdot Q_2 \cdot Q_1 + Q_4 \cdot \overline{Q_3} \cdot Q_2 \cdot \overline{Q_1} = (\overline{Q_4} \oplus \overline{Q_3}) \cdot (\overline{Q_2} \oplus \overline{Q_1})$$

Per un corretto funzionamento sarebbe opportuno abilitare la pulsantiera solo quando il motore è fermo. Ciò si ottiene inserendo all'ingresso delle 4 porte OR degli AND abilitati da una rete la cui uscita vale 1 solo se $SD = 00$.

Indicando con Z l'uscita di tale rete deve essere: $Z = \overline{S} \cdot \overline{D} = \overline{S + D}$

In fig. 52 si riporta il circuito di memorizzazione della pulsantiera completo di rete di abilitazione.

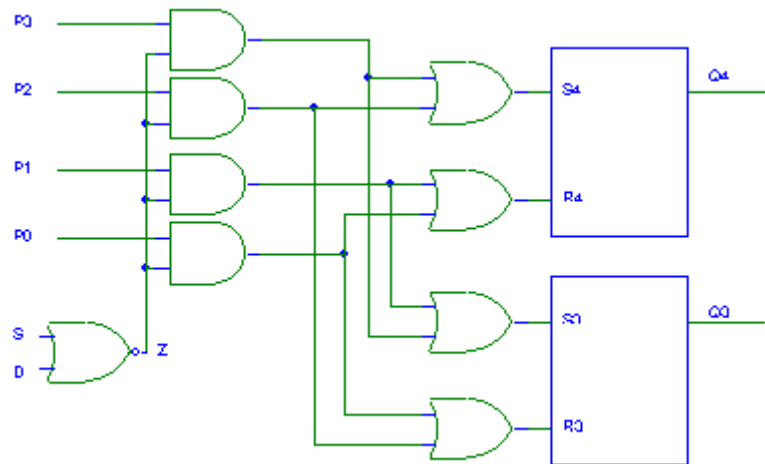


Fig. 52 Circuito di memorizzazione completo di rete di abilitazione.

Si lascia al lettore l'onere di disegnare il circuito complessivo.

La risoluzione proposta per il controllo dell'ascensore non tiene conto di numerosi altri aspetti tecnici soddisfatti negli impianti reali. Ciononostante il circuito ottenuto è complesso. L'obiettivo dell'esercizio è quello di mostrare l'importanza che rivestono i flip-flop nella progettazione di sistemi reali con memoria.